

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-217452

⑪ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)9月9日

G 06 F 12/16  
G 11 C 7/00  
11/34  
29/00

3 1 0  
3 1 3  
3 7 1  
3 0 3

A-7737-5B  
7341-5B  
A-8522-5B  
H-7737-5B

審査請求 未請求 発明の数 1 (全8頁)

⑭ 発明の名称 メモリアクセスタイミング設定方式

⑮ 特 願 昭62-51509

⑯ 出 願 昭62(1987)3月6日

⑰ 発 明 者 斎 藤 隆 神奈川県鎌倉市上町屋325番地 三菱電機株式会社計算機製作所内

⑱ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑲ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

メモリアクセスタイミング設定方式

2. 特許請求の範囲

メモリのアクセスを行う論理回路において、プログラムによって任意に値を設定できるレジスタを設け、このレジスタへの設定値をプログラムによって順々に変えてゆき、メモリへのテストデータの書き込み、読出し、書き込みデータと読出しデータとの比較を繰り返して行い、比較の結果が一致した時の設定値をレジスタに設定しておき、この設定値に基づいてメモリのアクセスを行うことを特徴とするメモリアクセスタイミング設定方式。

3. 発明の詳細な説明

(産業上の利用分野)

この発明はデータ処理装置などに備えられるランダムアクセスメモリ(以下RAMと称す)のアクセスタイミングを設定するためのメモリアクセスタイミング設定方式に関するものである。

(従来の技術)

第6図は従来のメモリアクセスタイミング設定方式を採用した論理回路のブロック図である。図において、1はRAM(ダイナミックRAMを用いた場合を例にとる)、2はアドレスマルチプレクサ、3はRAM1とアドレスマルチプレクサ2とを接続するマルチプレクスト・アドレス・バス、4はアドレスマルチプレクサ2に接続されるアドレスバス、5はRAM1に接続されるデータバス、6はメモリ制御リングである。また、7はローアドレスセレクト信号(RAS信号)生成用のフリップフロップ(以下RAS用フリップフロップと称す)、8はカラムアドレスセレクト信号(CAS信号)生成用のフリップフロップ(以下CAS用フリップフロップと称す)、9はカラムセレクト信号(COLS信号)生成用のフリップフロップ(以下COLS用フリップフロップと称す)、10はANDゲート、11、12、13はORゲート、14、15、16はNORゲート、17、18、19、20はメモリ制御リング6のどの出力を使用するかを選択するためのジャンパ線であ

る。なお、説明を簡単にするためRAM1のリフレッシュ用の論理回路は省略する。

次に動作について説明す。説明の中で「1」は有意もしくはハイレベルを、「0」は非有意もしくはローレベルを意味する。メモリ制御リング6はラインL1のメモリアクセスモード信号が「1」になるとイネーブルされて動作可能状態となり、ラインL2の基本クロックに同期して出力T0, T1, ..., Tk, ..., Tl, ..., Tm, ..., Tn, ..., Te-1, Teがそれぞれ順に「1」になるという形で状態が遷移する。また、メモリアクセスモード信号が「0」になると、メモリ制御リング6の出力T0~Teは全て「0」になる。各フリップフロップ7, 8, 9はラッチした信号を各出力端子1から出力し、そのラッチした信号の反転信号を各出力端子0から出力する。RAM1の端子RAS, CAS, WEにそれぞれ与えられるRAS信号, CAS信号, WE信号は「1」で有意とする。また、この従来例の場合、ジャンパ線17, 18, 19,

20の設定は人手により行い、メモリ制御リング6の出力Tk, Tl, Tm, Tnがそれぞれ選択されたものとする。

ここで第4図に示すタイミングチャートを参照してRAM1への書き込み動作を例にとりて説明する。メモリアクセスが開始されると、ラインL1のメモリアクセスモード信号及びラインL3のライトモード信号が「1」になる。この時、アドレスがアドレスバス4に与えられ、アドレスマルチプレクサ2によりローアドレスが選択されてマルチプレクスド・アドレス・バス3上に出力される。また、この時、書き込みデータがデータバス5上に与えられる。

このようなローアドレス及び書き込みデータが与えられ、メモリ制御リング6は前述したようにラインL1のメモリアクセスモード信号が「1」になっているので動作を開始し、出力T0, T1, ..., Tkが順次「1」になるという形で状態が遷移する。そして出力Tkが「1」になると、ジャンパ線17及びORゲート11を經由してRA

S用フリップフロップ7の端子Dに「1」の出力Tkが与えられ、メモリ制御リング6の出力Tk+1が「1」になる時、RAS用フリップフロップ7の出力端子1から出力されるRAS信号が「1」になる。また、この時、RAS用フリップフロップ7の出力端子0から出力される反転出力は「0」となり、これによりNORゲート14の出力が「1」、ORゲート11の出力が「1」となって、メモリ制御リング6の状態が進んでもRAS用フリップフロップ7の出力、すなわちRAS信号は「1」にホールドされる。また、メモリ制御リング6の「1」の出力がTlからTl+1に遷移した時、前記と同様な動作によりCOLS用フリップフロップ9の出力であるCOLS信号が「1」になりホールドされる。このCOLS信号により、アドレスマルチプレクサ2はマルチプレクスド・アドレス・バス3にカラムアドレスを出力し、また、ANDゲート10の出力、すなわちRAM1の端子WEに与えられるWE信号が「1」となり、RAM1はライトモードとなる。

また、メモリ制御リング6の「1」の出力がTmからTm+1に遷移した時、前記と同様な動作によりCAS用フリップフロップ8の出力、すなわちCAS信号は「1」になりホールドされる。以上のようにRAS信号、CAS信号、WE信号、COLS信号が全て「1」となって、RAM1への書き込み条件が全て揃い、データの書き込み動作が行われ、メモリ制御リング6の状態が進み、出力Tn-1が「1」になった時点で書き込み動作が完了する。メモリ制御リング6の出力Tn、すなわちラインL4のメモリアクセス完了信号が「1」になり、次に出力Tn+1が「1」になろうとするところでラインL1のメモリアクセスモード信号及びラインL3のライトモード信号が「0」になり、また、NORゲート14, 15, 16及びORゲート11, 12, 13の出力が「0」になるので、RAS信号、CAS信号、COLS信号が「0」になり、RAM1への書き込み動作が終了する。なお、第4図に示すTWは、RAM1への制御信号(メモリアクセスモード信号、ライトモ

ード信号、RAS信号、COLS信号、CAS信号WE信号)によるライトモード条件成立期間である。

一方、RAM1に対する読出し動作時には、第5図に示すようにライトモード信号及びWE信号は「0」になり、メモリ制御リング6の出力 $T_{n-1}$ が「1」を出力した終了時点、すなわち出力 $T_n$ が「1」になる時点でRAM1から読み出される出力データが確定しているとし、出力 $T_n$ でデータバス5上のデータを取込む。そして、前述の書き込み動作時と同様にメモリ制御リング6の出力 $T_{n+1}$ が「1」になろうとするところで全ての制御信号が非有意となり、RAM1に対するリード動作は完了する。なお、第5図に示すTRは、RAM1への制御信号によるリードモード条件成立期間である。

(発明が解決しようとする問題点)

従来のメモリアクセスタイミング設定方式においては、RAMへのアクセスタイミングを決定する部分がジャンパ線による設定であったため、そ

のジャンパ線の設定に人手の介入が必要であった。また、一般にRAMには種々のアクセスタイミングのものがあり、使用するRAMの種類を変えたときにはアクセスタイミングを変更するためにジャンパ線の設定をやり直さねばならず、このため設定を誤ってRAMのアクセスが正しく行われなかったり、あるいは高速度な動作を行うことができるRAMを使用しているにもかかわらず、低速用のアクセスタイミング設定であるためにRAM本来の性能を落としてしまうなどの問題点があった。

この発明は上記のような問題点を解消するためになされたもので、RAMのアクセスタイミングの設定を人手の介入なしに自動的にを行い、RAMの性能を十分に引き出すことができ、信頼性を向上させることができるメモリアクセスタイミング設定方式を提供することを目的とする。

(問題点を解決するための手段)

この発明に係るメモリアクセスタイミング設定方式は、メモリ(RAM1)のアクセスを行う論理回路において、プログラムによって任意に値を

設定できるレジスタ21、22、23、24を設け、このレジスタ21、22、23、24への設定値をプログラムによって順々に変えてゆき、メモリ(RAM1)へのテストデータの書き込み、読出し、書き込みデータと読出しデータとの比較を繰り返して、比較の結果が一致した時の設定値をレジスタ21、22、23、24に設定しておき、この設定値に基づいてメモリ(RAM1)のアクセスを行うことを特徴とするものである。

(作用)

この発明に係るレジスタ21、22、23、24にはプログラムによって任意の値が設定され、メモリ(RAM1)は設定された各設定値に基づいてアクセスされ、テストデータの書き込み、読出しを行う。このテストデータの書き込みデータと読出しデータとは各設定値に基づいたアクセス動作毎に比較され、メモリ(RAM1)の書き込みデータと読出しデータとが一致した時、その値は最終の設定値としてレジスタ21、22、23、24に設定され、その後はその最終の設定値に基づい

てアクセスタイミングが決められ、メモリ(RAM1)はそのアクセスタイミングでアクセスされ、所定のデータの書き込み、読出し動作を行う。

(発明の実施例)

以下この発明の一実施例を図に基づいて説明する。第1図はこの発明の一実施例に係るメモリアクセスタイミング設定方式を採用した論理回路のブロック図である。第1図において、第6図に示す構成要素に対応するものには同一の参照符を付し、その説明を省略する。第1図において、21はRAS信号生成タイミングを決めるためのレジスタ(以下RAS用レジスタと称す)、22はCOLS信号生成タイミングを決めるためのレジスタ(以下COLS用レジスタ)、23はCAS信号生成タイミングを決めるためのレジスタ(以下CAS用レジスタと称す)、24はメモリアクセス完了信号生成タイミングを決めるためのレジスタ(以下CPT用レジスタと称す)、25、26、27、28はメモリ制御リング6の $e+1$ 個ある出力 $T_0 \sim T_e$ の内の1個を選択して出力

するセレクトである。

次に動作について説明する。入手できたRAMが例えば5種類あり、そのRAMをアクセスタイムが速い順にRAM<sub>1</sub>、RAM<sub>2</sub>、RAM<sub>3</sub>、RAM<sub>4</sub>、RAM<sub>5</sub>とする。その各RAMに対しては第2図のタイミング図に示すようにRAS信号、COLS信号、CAS信号、メモリアクセス完了信号を出力すれば各RAMのアクセスは正しく行える。以下の説明はRAM<sub>1</sub>が実装された場合の動作を考える。

プログラムは、RAS用レジスタ21、COLS用レジスタ22、CAS用レジスタ23、CPLT用レジスタ24への設定値、すなわち第2図に対応する設定値k1~k5、 $\ell$ 1~ $\ell$ 5、m1~m5、n1~n5をテーブルとして持っている。このプログラムは第3図に示すフローチャートを実行する。すなわち、プログラムが実行され(ステップS1)、ポインタはRAM<sub>1</sub>を指示し(ステップS2)、このポインタの示す内容(この場合第2図に示すRAM<sub>1</sub>に対応する設定値k1)

をRAS用レジスタ21にロードする(ステップS3)。次にそのポインタの内容をインクリメントし(ステップS4)、ポインタの示す内容(この場合RAM<sub>1</sub>に対応する設定値 $\ell$ 1)をCOLS用レジスタ22にロードする(ステップS5)。次にそのポインタの内容をインクリメントし(ステップS6)、ポインタの示す内容(この場合RAM<sub>1</sub>に対応する設定値m1)をCAS用レジスタ23にロードする(ステップS7)。次にそのポインタの内容をインクリメントし(ステップS8)、ポインタの示す内容(この場合RAM<sub>1</sub>に対応する設定値n1)をCPLT用レジスタ24にロードする(ステップS9)。次にそのポインタの内容をインクリメントしておき(ステップS10)、テストデータをRAM<sub>1</sub>(この場合RAM<sub>1</sub>が実装されているので)に書き込みを行う(ステップS11)。この書き込みは第4図に示すタイミングで行われる。また、RAM<sub>1</sub>からは第5図に示すタイミングでデータが読出され(ステップS12)、読出しデータと書き込みデータとが

比較される(ステップS13)。この場合、設定値はRAM<sub>1</sub>に対応する設定値k1、 $\ell$ 1、m1、n1であり、RAM<sub>1</sub>に対しては制御信号(RAS信号、COLS信号、CAS信号、メモリアクセス完了信号)のタイミングが適合しないため、ステップS13での読出しデータと書き込みデータとはそのタイミングにおいては等しくならない。従って、ステップS14に移りポインタがエラーか否かを判断し、エラーであるときはエラー報告し(ステップS15)、エラーでないときはステップS3に戻る。

このステップS3に戻ったときのポインタの示す内容は実装されているRAM<sub>1</sub>に対応する設定値k2になっており、この設定値k2がRAS用レジスタ21にロードされる。その後は、前述と同様な処理を行い(ステップS4~S10)、設定値 $\ell$ 2がCOLS用レジスタ22に、設定値m2がCAS用レジスタ23に、設定値n2がCPLT用レジスタ24にそれぞれロードされ、テストデータのRAM<sub>1</sub>への書き込み(ステップ

S11)、RAM<sub>1</sub>からのデータ読出し(ステップS12)を行い、読出しデータと書き込みデータとが比較される(ステップS13)。この場合は、設定値k2、 $\ell$ 2、m2、n2がRAM<sub>1</sub>に対応しているためRAM<sub>1</sub>は所定のタイミングでアクセスされ、従って、読出しデータと書き込みデータとが等しくなり、ステップS16に移り設定値k2、 $\ell$ 2、m2、n2が各レジスタ21、22、23、24への最終の設定値として設定され、セレクト25、26、27、28によってメモリ制御リング6の出力Tk2+1が「1」の時にRAS信号が、出力T $\ell$ 2+1が「1」の時にCOLS信号が、出力Tm2+1が「1」の時にCAS信号が、出力Tn2が「1」の時にメモリアクセス完了信号がそれぞれ「1」になり、また、出力Tn2+1が「1」の時にRAS信号、COLS信号、CAS信号、メモリアクセス完了信号がそれぞれ「0」となるというRAMアクセスタイミングが設定され、所定のデータの書き込み、読出し動作が行われる。

なお、このフローチャートの説明はRAM<sub>0</sub>が実装されている場合について述べたが、実装されているRAMが、RAM<sub>1</sub>、RAM<sub>2</sub>、RAM<sub>3</sub>、RAM<sub>4</sub>のときはステップS3～S13の処理は一回、3回、4回、5回それぞれ行われ、アクセスタイミングが設定される。

上記実施例によれば、プログラムによってアクセスタイミングの変更が可能なることから、RAMのアクセスタイミングのマージン試験を簡単に行うこともできる。また、アクセスタイムの一番遅い種類のRAMのタイミングになってしまうが、アクセスタイムの異なるRAMが混在して論理回路に実装されたとしても一応RAMアクセスが正常に行うことができる。さらに、高速な計算機において、マイクロプログラムにより主記憶のカード単位あるいはバンク単位に別々にRAMアクセスタイミングを設定するようにすれば、カード単位あるいはバンク単位でRAMの種類が異なっても、そのRAMの性能に合ったタイミングでアクセスが行われ、RAMの種類の混在による性能低

下は防ぐことができる。また、設定値の決定を行うプログラムにおいて、よりきめ細かく設定値を変えて最適値を選ぶことによりRAMの製造元毎に異なる微妙なタイミングの違いを吸収するように設定値を決めるのではなく、実装されたRAMに最も適した、あるいはRAMの性能を十分に引き出せるアクセスタイミングを設定することができる。また、プログラムにおいて全RAMの全アドレスに対してアクセスタイミング設定のチェックを行うようにすれば、例えば別の種類(アクセスタイム)のRAMが混在していた場合に、どのRAMが異常であるかを指摘することもできる。

なお、上記実施例においてはRAMとしてダイナミックRAMを用いた場合を示したが、スタティックRAMを用いた場合にはRAS信号及びCAS信号の代わりにチップセレクト信号(CS信号)及びアウトプットイネーブル信号(OE信号)を制御するようにすればよい。また、上記実施例ではメモリ制御リングを用いてRAMアクセスタイミングを制御したが、データロードの可能なカウ

ンタと、カウンタに初期値としてロードする値を設定するレジスタの組合わせをプログラム制御したい信号毎に設けることによって本発明の方式は実現できる。

#### (発明の効果)

以上のように本発明によれば、プログラムによって任意に値を設定できるレジスタを設け、このレジスタへの設定値をプログラムによって順々に変えてゆき、メモリへのテストデータの書き込み、読出し、書き込みデータと読出しデータとの比較を繰り返し、比較の結果が一致した時の設定値をレジスタに設定しておき、この設定値に基づいてメモリのアクセスを行うようにしたのでメモリのアクセスタイミングの設定を人手の介入なしに自動的に行うことができ、これによりアクセスタイミングの設定ミスによりメモリの性能の低下やアクセスが正常に行えないということがなくなり、従って、メモリの性能を十分に引き出すことができ、信頼性を向上させるという効果が得られ、また、従来のようにジャンパ線によるアクセスタイミン

グ設定のための人手の介入が不必要となり、これにより動作試験費あるいは人権費が削減でき、より安価なデータ処理装置などを提供することができるという効果が得られる。

#### 4. 図面の簡単な説明

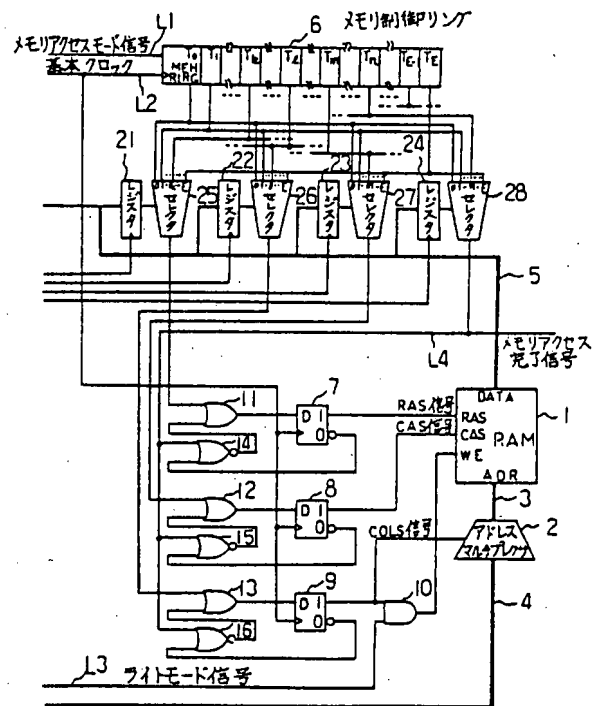
第1図はこの発明の一実施例に係るメモリアクセスタイミング設定方式を採用した論理回路のブロック図、第2図はこの実施例におけるアクセスタイミングと設定値との関係を示すタイミング図、第3図はこの実施例の動作を説明するためのフローチャート、第4図は従来例及びこの実施例のRAMに対する書き込み動作を説明するためのタイミングチャート、第5図は従来例及びこの実施例のRAMに対する読出し動作を説明するためのタイミングチャート、第6図は従来のメモリアクセスタイミング設定方式を採用した論理回路のブロック図である。

1・・・RAM(メモリ)、2・・・アドレスマルチプレクサ、6・・・メモリ制御リング、7・・・RAS用フリップフロップ、8・・・CA

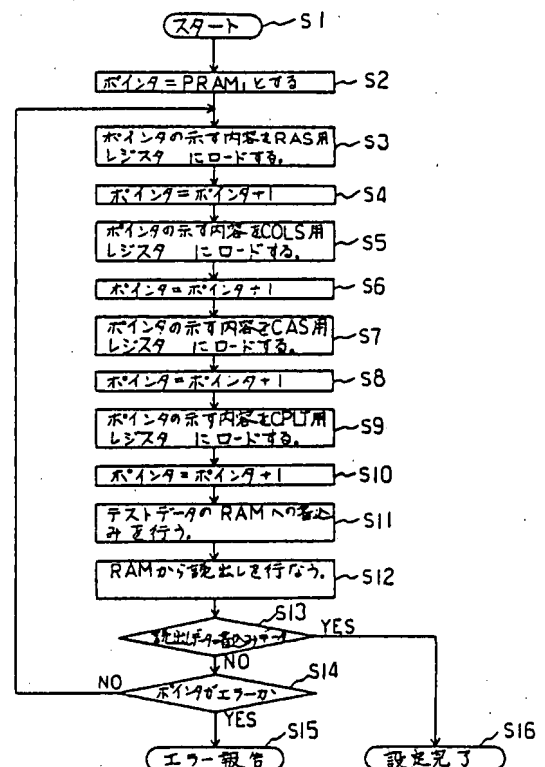
S用フリップフロップ、9・・・COLS用フリップフロップ、10・・・ANDゲート、11、12、13・・・ORゲート、14、15、16・・・NORゲート、21・・・RAS用レジスタ、22・・・COLS用レジスタ、23・・・CAS用レジスタ、24・・・CPLT用レジスタ、25、26、27、28・・・セクタ。

代理人 大 岩 増 雄 (ほか2名)

第1図



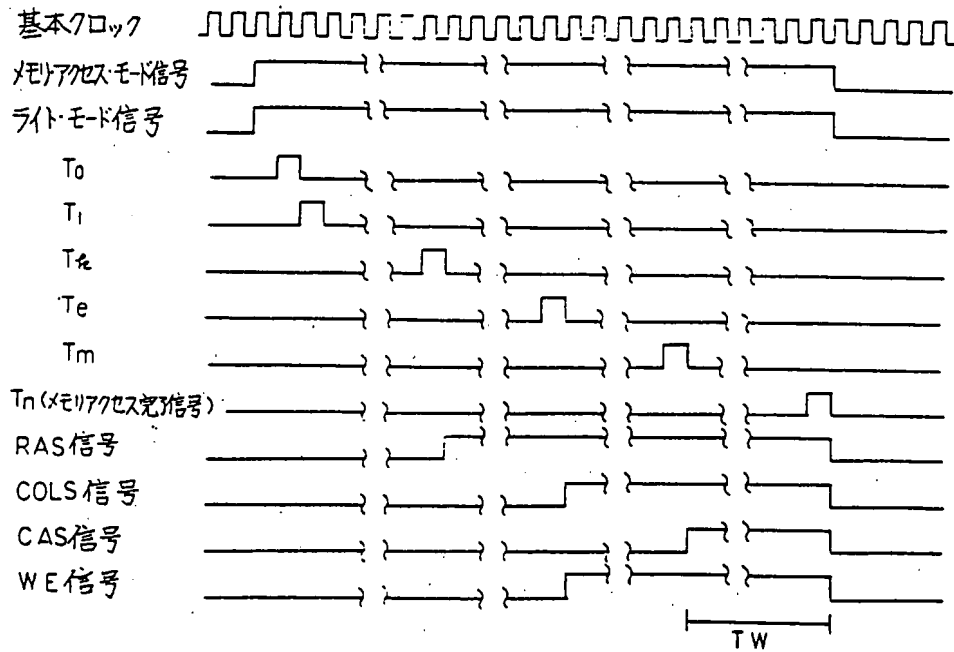
第3図



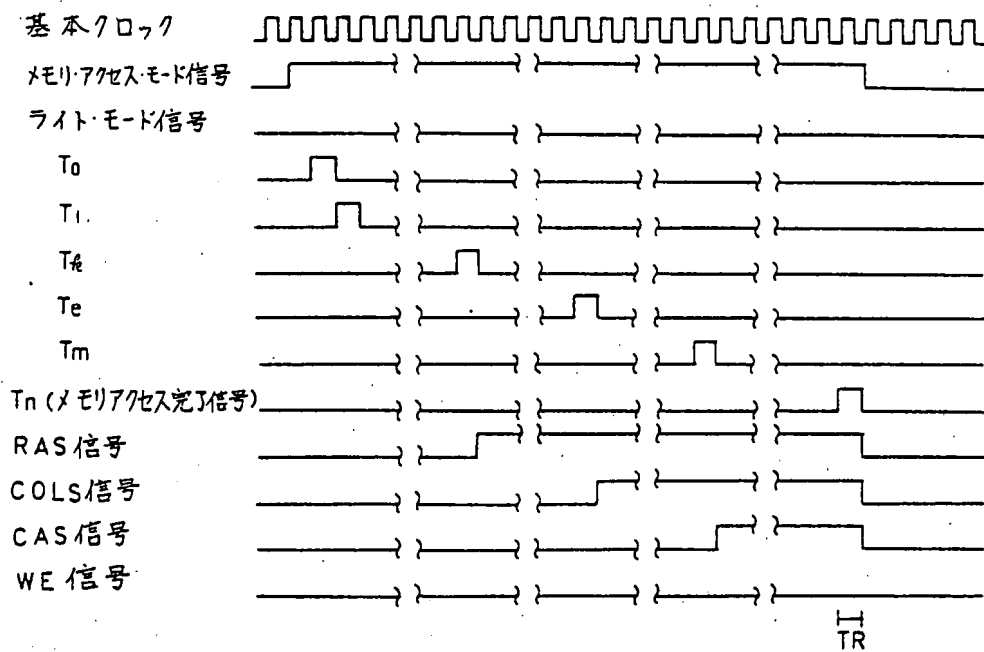
第2図

RAMの種別	RASのタイミング	COLSのタイミング	CASのタイミング	CPLTのタイミング	テストデータの読み出し	テストデータの読み出し	テストデータの読み出し	テストデータの読み出し
	$T_{R1}+1$	$T_{C1}+1$	$T_{M1}+1$	$T_{N1}$	$t_1$	$l_1$	$m_1$	$n_1$
RAM <sub>1</sub>	$T_{R1}+1$	$T_{C1}+1$	$T_{M1}+1$	$T_{N1}$	$t_1$	$l_1$	$m_1$	$n_1$
RAM <sub>2</sub>	$T_{R2}+1$	$T_{C2}+1$	$T_{M2}+1$	$T_{N2}$	$t_2$	$l_2$	$m_2$	$n_2$
RAM <sub>3</sub>	$T_{R3}+1$	$T_{C3}+1$	$T_{M3}+1$	$T_{N3}$	$t_3$	$l_3$	$m_3$	$n_3$
RAM <sub>4</sub>	$T_{R4}+1$	$T_{C4}+1$	$T_{M4}+1$	$T_{N4}$	$t_4$	$l_4$	$m_4$	$n_4$
RAM <sub>5</sub>	$T_{R5}+1$	$T_{C5}+1$	$T_{M5}+1$	$T_{N5}$	$t_5$	$l_5$	$m_5$	$n_5$

第4図



第5図



第 6 回

